

Japanese Kokai Patent Application No. Sho 57[1982]-209546

---

Job No.: 844-92661

Ref.: JP 57-209546

Translated from Japanese by the Ralph McElroy Translation Company  
910 West Avenue, Austin, Texas 78701 USA

JAPANESE PATENT OFFICE  
PATENT JOURNAL (A)  
KOKAI PATENT APPLICATION NO. SHO 57[1982]-209546

Int. Cl.<sup>3</sup>: G 06 F 11/20  
Sequence No. for Office Use: 7257-5B  
Filing No.: Sho 56[1981]-95680  
Filing Date: June 19, 1981  
Publication Date: December 22, 1982  
No. of Inventions: 1 (Total of 5 pages)  
Examination Request: Not filed

STATE DETECTION SYSTEM BY MEANS OF CONDITION COMPARISON

Inventors: Hidekiyo Ozawa  
Fujitsu, Ltd.  
1015 Kamiodanaka, Nakahara-ku,  
Kawasaki-shi

Nobuyuki Kikuike  
Fujitsu, Ltd.  
1015 Kamiodanaka, Nakahara-ku,  
Kawasaki-shi

Applicant: Fujitsu, Ltd.  
1015 Kamiodanaka, Nakahara-ku,  
Kawasaki-shi

Agent: Shiro Kyotani, patent attorney

[There are no amendments to this patent.]

Claim

A state detection system by means of condition comparison characterized by the fact that in a processing device having a scan-out function, there are the following parts: a scan-address



TH1040.2

# RALPH McELROY TRANSLATION COMPANY

EXCELLENCE WITH A SENSE OF URGENCY®

April 2, 2003

Re: 844-92661

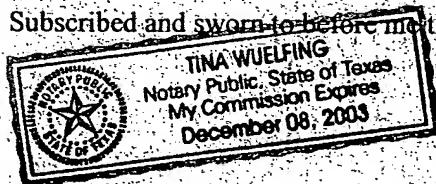
To Whom It May Concern:

This is to certify that a professional translator on our staff who is skilled in the Japanese language translated the enclosed Japanese Kokai Patent Application No. Sho 57[1982]-209546 from Japanese into English.

We certify that the attached English translation conforms essentially to the original Japanese language.

Kim Vitray  
Operations Manager

Subscribed and sworn to before me this



2 day of April 2003.

Tina Wuefling  
Notary Public

My commission expires: December 8, 2003

[sales@mcelroytranslation.com](mailto:sales@mcelroytranslation.com)  
[www.mcelroytranslation.com](http://www.mcelroytranslation.com)

(512) 472-6753  
1-800-531-9977

910 WEST AVE.  
AUSTIN, TEXAS 78701



FAX (512) 472-4591  
FAX (512) 479-6703

⑯ 日本国特許庁 (JP) ⑪ 特許出願公開  
 ⑫ 公開特許公報 (A) 昭57-209546

⑬ Int. Cl.<sup>3</sup>  
 G 06 F 11/20

識別記号 行内整理番号  
 7257-5B

⑭ 公開 昭和57年(1982)12月22日

発明の数 1  
 審査請求 未請求

(全 5 頁)

⑮ 条件比較による状態検出方式

⑯ 特 願 昭56-95680

⑰ 出 願 昭56(1981)6月19日

⑱ 発明者 小沢秀清

川崎市中原区上小田中1015番地  
 富士通株式会社内

⑲ 発明者 菊池伸行

川崎市中原区上小田中1015番地

富士通株式会社内

⑳ 出願人 富士通株式会社

川崎市中原区上小田中1015番地

㉑ 代理人 弁理士 京谷四郎

明細書

1. 発明の名称

条件比較による状態検出方式

2. 特許請求の範囲

スキャン・アウト機能を有する処理装置において、複数のスキャン・アドレスを独立して供給するスキャン・アドレス供給手段と、上記複数のスキャン・アドレスのそれぞれに対応するフリップ・フロップもしくはゲートの値を出力する複数のマルチプレクサ手段と、上記複数のマルチプレクサから出力されるところの複数のスキャン・アドレスのそれぞれに対応して読み出された複数のフリップ・フロップもしくはゲートの値を比較条件と比較する比較回路と、比較条件を設定する比較条件設定用フリップ・フロップとを備えることを特徴とする条件比較による状態検出方式。

3. 発明の詳細な説明

本発明は、処理装置内における複数のフリップ・フロップもしくはゲートを任意に指定できると共に条件をも任意に指定できるようにし、そして指定された複数のフリップ・フロップもしくはゲートの出力状態が指定された条件になつたことを検出するようにした条件比較による状態検出方式に関するものである。

回路がLSI化されると、入出力ピンの限界でLSIの内部回路の状態を直接に知ることは困難であるが、スキャン・アウトによる方法は少ない入出力ピンで内部回路の状態を知る方法として有効な手段である。回路を構成するフリップ・フロップやゲートにはアドレスが割当てられており、このアドレスをスキャン・アドレスという。論理ブロック(例えばLSI)内の所望のフリップ・フロップの状態を知りうるときには、このフリップ・フロップに与えられたスキャン・アドレスを外部から与えると、指定されたフリップ・フロップの内容が選択されてスキャン結果として外部に取出されて来る。これをスキャン・アウトという。

回路の障害等を追跡するとき、或る特定の回路

に着目して、その回路の値が成る値「1」又は「0」になつた時にシステムの動作を凍結する手段が使われる。このような動作を実現するためには、上記のスキャン・アウトの方法を用いて、スキャン・アウトされた結果が所望の条件に一致したときに、この一致をシステムの動作凍結のトリが一とすれば良い。しかし、スキャン・アウトにより回路の内部を読み出す方式は、スキャン・アウトを最適化した場合、一度に1ビットしか読み出すことが出来ず、1ビットの条件しか設定できない。

本発明は、上記の考察に基づくものであつて、簡単な回路構成により任意に選択されたN個(ただしNは1より大きい定数)のフリップ・フロップもしくはゲートの値が設定値と一致したことを検出できるようにした条件比較による状態検出方式を提供することを目的としている。そしてそのため、本発明の条件比較による状態検出方式は、スキャン・アウト機能を有する処理装置において、複数のスキャン・アドレスを独立して供給するスキャン・アドレス供給手段と、上記複数のスキャ

ン・アドレスのそれぞれに対応するフリップ・フロップもしくはゲートの値を出力する複数のマルチプレクサ手段と、上記複数のマルチプレクサから出力されるところの複数のスキャン・アドレスのそれぞれに対応して読み出された複数のフリップ・フロップもしくはゲートの値を比較条件と比較する比較回路と、比較条件を設定する比較条件設定用フリップ・フロップとを備えることを特徴とするものである。以下、本発明を図面を参照しつつ説明する。

第1図は本発明の1実施例のプロック図であつて、1は論理プロック、2-1ないし2-ルはフリップ・フロップ、3-A、3-Bはスキャン・アドレスを保持するための保持レジスタ、4-Aないし4-Cはマルチプレクサ、5は比較条件設定用フリップ・フロップ、6は比較回路、2はスキャン・アドレス線をそれぞれ示している。

論理プロック1はLSIで構成されているものであり、内部にフリップ・フロップ2-1ないし2-ル、保持レジスタ3-A、3-B、マルチ

3

4

レクサ4-Aないし4-C、比較条件設定用フリップ・フロップ5、比較回路6およびその他の図示しないゲートなどを有している。保持レジスタ3は、外部より送られて来るスキャン・アドレスを保持するものであり、図示しないセット信号によってスキャン・アドレスがセットされる。マルチプレクサ4-Aは、保持レジスタ3-Aの内容に従ってフリップ・フロップ2-1ないし2-ルの内のいずれか1つを選択し、選択されたフリップ・フロップの状態を出力する。マルチプレクサ4-Bは、保持レジスタ3-Bの内容に従ってフリップ・フロップ2-1ないし2-ルの内のいずれか1つを選択し、選択されたフリップ・フロップの状態を出力する。マルチプレクサ4-Cはスキャン・アドレス線のスキャン・アドレスに従ってフリップ・フロップ2-1ないし2-ルの内のいずれか1個を選択し、選択されたフリップ・フロップの状態を出力する。マルチプレクサ4-Cの出力がスキャン結果となる。比較条件設定用フリップ・フロップ5には、マルチプレクサ4

-A、4-Bの出力と比較される値がセットされる。比較条件情報は、スキャン・アドレス線を介して外部から供給され、そして図示しないセット信号によって比較条件設定用フリップ・フロップ5にセットされる。比較回路6は、マルチプレクサ4-A、4-Bの出力と条件設定用フリップ・フロップ5の内容とを比較し、両者が一致するとき「1」の一致信号を出力する。

いま、第1図においてフリップ・フロップ2-1と2-4の値が「1 0」になつたときの状態によってシステムのクロックを停止しようとする場合、先ず保持レジスタ3-Aにフリップ・フロップ2-1のスキャン・アドレスをつぎに保持レジスタ3-Bにフリップ・フロップ2-4のスキャン・アドレスを設定しておく。それによって、マルチプレクサ4-Aは保持レジスタ3-Aの値によりフリップ・フロップ2-1を選択し、フリップ・フロップ2-1の値が比較回路6に供給される。フリップ・フロップ2-4の値も同様に保持レジスタ3-Bの値によりマルチプレクサ4-B

此处でマルチブレクサ4-Cは従来のスキャナアウト回路を示すものであり、4-Aないし4-Bによる状態比較とは独立にあるいは並行してスキャナアウトを行なえる。

第2図は本発明の第2実施例を示すものである。第2図において、11-1ないし11-3は論理ブロック、12-1ないし12-4はフリップ・フロップ、13-1ないし13-3はセレクタ、14はマルチブレクサ、15は比較条件設定用フリップ・フロップ、16は比較回路、17と18はマルチブレクサ、19は有効無効モード指定フリップ・フロップ、20はAND回路、21と22はスキャン・アドレス・レジスタをそれぞれ示している。

スキャン・アドレス・レジスタ21は、下位アドレス部分と上位アドレス部分を有しており、下位アドレス部分は論理ブロック内のアドレスを示しており、上位アドレス部分は論理ブロック・アドレスを示している。スキャン・アドレス・レジスタ22もスキャン・アドレス・レジスタ21と

8

同一構成を有している。セレクタ13-1は、スキャン・アドレス・レジスタ21の下位部分又はスキャン・アドレス・レジスタ22の下位部分のいずれか一方を制御信号(図示せず)に基づいて選択し、選択された下位アドレス部分をマルチブレクサ14に送る。セレクタ13-2、13-3は論理ブロック13-2、13-3に対するものであり、セレクタ13-1と同一の機能を有している。マルチブレクサ14は、供給は、供給された下位アドレス部分に従ってフリップ・フロップ12-1ないし12-4の内のいずれか1つを選択し、選択されたフリップ・フロップの値を出力する。マルチブレクサ17は、スキャン・アドレス・レジスタ21の上位アドレス部分に従って論理ブロック11-1ないし11-3のそれから送られて来るスキャン結果の内の1つを選択する。マルチブレクサ18は、スキャン・アドレス・レジスタ22の上位アドレス部分に従ってマルチブレクサ17と同様な動作を行う。マルチブレクサ17、18の出力は比較回路16に入力され

7

る。比較条件設定用フリップ・フロップ15の値は比較回路16に送られ、マルチブレクサ17、18の値と比較される。有効無効モード・フリップ・フロップ19はシステム・クロック停止処理の有効/無効を指定するものであって、「1」に設定されたとき有効となる。

論理ブロック11-1のフリップ・フロップ12-1が論理「1」、論理ブロック11-2のフリップ・フロップ12-4が「0」のときにシステムのクロックを停止させる場合には、下記のような設定処理が行われる。スキャン・アドレス・レジスタ21に論理ブロック11-1のフリップ・フロップ12-1のスキャン・アドレスをセットし、スキャン・アドレス・レジスタ22に論理ブロック11-2のフリップ・フロップ12-4のスキャン・アドレスをセットする。セレクタ13-1には上側入力選択のための制御信号を印加し、セレクタ13-2には下側入力選択のための制御信号を印加する。比較手段設定用フリップ・フロップ15には「10」をセットし、有効無効モード・フリップ・フロップ19には「1」をセットする。

9

ド・フリップ・フロップ 1-9 を「1」に設定する。このような設定処理を行った後にシステムを起動すると、論理ブロック 1-1-1 のフリップ・フロップ 1-2-1 が「1」、論理ブロック 1-1-2 のフリップ・フロップ 1-2-4 が「0」になった時に比較回路 1-6 は「1」を出力し、AND 回路 2-0 の出力するクロック停止信号も論理「1」となる。クロック停止信号が「1」となると、システムのクロックは停止する。

以上の説明から明らかのように、本発明によれば、スキヤン・アウト機能を有する従来の処理装置に僅かなハードウェアを付加するのみで、任意に選択された N 個のフリップ・フロップもしくはゲートの値が設定値になったことを検出することが出来る。

#### 4. 図面の簡単な説明

第 1 図は本発明の 1 実施例のブロック図、第 2 図は本発明の他の実施例のブロック図である。

1 … 論理ブロック、2-1 ないし 2-n … フリ

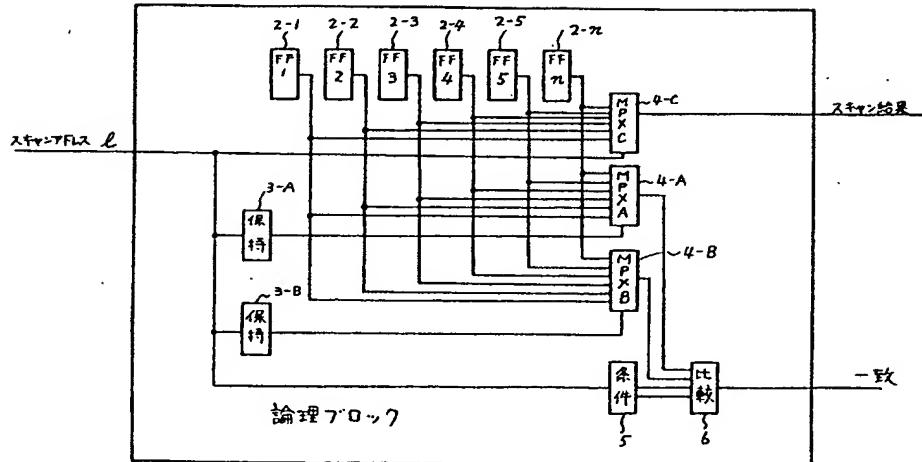
ップ・フロップ、3-A、3-B … スキヤン・アドレスを保持するための保持レジスタ、4-A ないし 4-C … マルチブレクサ、5 … 比較条件設定用フリップ・フロップ、6 … 比較回路、2 … スキヤン・アドレス線、1-1-1 ないし 1-1-3 … 論理ブロック、1-2 ないし 1-2-4 … フリップ・フロップ、1-3-1 ないし 1-3-3 … セレクタ、1-4 … マルチブレクサ、1-5 … 比較条件設定用フリップ・フロップ、1-6 … 比較回路、1-7 ないし 1-8 … マルチブレクサ、1-9 … 有効無効モード指定フリップ・フロップ、2-0 … AND 回路、2-1 ないし 2-2 … スキヤン・アドレス・レジスタ。

特許出願人 富士通株式会社

代理人弁理士 京 谷 四 郎

1-1

1-2



第 1 図

